

**FREQUENCY DEMODULATION CIRCUIT AND OPTICAL DISK DEVICE
HAVING THE SAME**

Patent Number: JP11045519
Publication date: 1999-02-16
Inventor(s): HIDA MINORU; NIWA YOSHIKATSU; NAKAO SHINICHI
Applicant(s): SONY CORP
Requested Patent: ☐ JP11045519
Application Number: JP19980125098 19980507
Priority Number(s):
IPC Classification: G11B20/14; G11B7/00
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To execute the demodulation processing of a frequency modulation signal with simple constitution and to exactly demodulate digital data even if there is a deformation by a defect, etc., of a recording medium in the frequency modulation signal.

SOLUTION: The address information ADM after bi-phase modulation is subjected to frequency modulation and is recorded as a groove wobble. A wobble signal SWB which is a reproducing signal of this groove wobble is modulated to a binary signal PWB. The wobble signal SWB has 4 waves at the time of a '1' and 3 waves at the time of a '0' in correspondence to the 1 bit (bi-phase 1 bit) of address information ADM. Demodulation processing is executed in a detecting circuit 67 by using a clock signal CK24 synchronized with the pulse signal PWB having a frequency of 24 times the bit frequency of the bi-phase. In this processing, the '1' and '0' are decided by utilizing the coincident number of the edge detection signal of the binary signal PWB and the window pulses relating to the patterns of the binary signals respectively corresponding to '1' and '0' of the digital data.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-45519

(43) 公開日 平成11年(1999) 2月16日

(51) Int.Cl.⁶

G 1 1 B 20/14
7/00

識別記号

3 4 1

F I

G 1 1 B 20/14
7/00

3 4 1 B
T

審査請求 未請求 請求項の数 7 O L (全 25 頁)

(21) 出願番号 特願平10-125098

(22) 出願日 平成10年(1998) 5月7日

(31) 優先権主張番号 特願平9-140647

(32) 優先日 平9(1997) 5月29日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 飛田 実

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72) 発明者 丹羽 義勝

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72) 発明者 中尾 進一

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(74) 代理人 弁理士 山口 邦夫 (外1名)

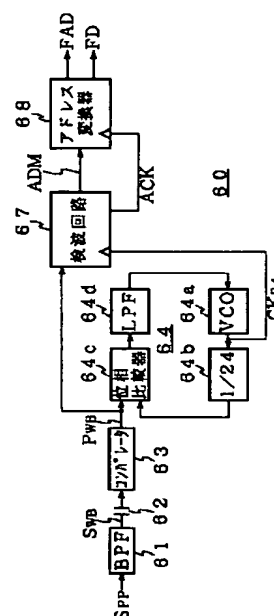
(54) 【発明の名称】 周波数復調回路およびそれを有する光ディスク装置

(57) 【要約】

【課題】簡単な構成で周波数変調信号の復調処理を行うと共に、周波数変調信号に記録媒体のディフェクト等による変形があった場合にも正確にデジタルデータを復調する。

【解決手段】バイフェーズ変調後のアドレス情報ADMが周波数変調され、それがグループウォブルとして記録されている。グループウォブルの再生信号であるウォブル信号 S_{WB} を2値信号 P_{WB} に変換する。ウォブル信号 S_{WB} は、アドレス情報ADMの1ビット(バイフェーズ1ビット)に対応して、“1”のときは4波を有し、“0”のときは3波を有する。検波回路67では、バイフェーズのビット周波数の24倍の周波数を持ち、パルス信号 P_{WB} に同期したクロック信号 CK_{24} を使用して復調処理をする。この処理では、2値信号 P_{WB} のエッジ検出信号と、デジタルデータの“1”及び“0”に夫々対応する2値信号のパターンに係るウインドーパルスの一致数を利用して“1”、“0”を判定する。

ADIPデコーダ



【特許請求の範囲】

【請求項1】 デジタルデータを表す周波数変調信号から2値信号を得る波形整形部と、
上記デジタルデータの“1”に対応する上記周波数変調信号の周波数と、上記デジタルデータの“0”に対応する上記周波数変調信号の周波数との公倍数の周波数を持つクロック信号を生成するクロック信号生成部と、
上記2値信号に対して上記クロック信号に基づいた処理をして上記デジタルデータを得る検波部とを備え、
上記検波部は、
上記2値信号のエッジを検出してエッジ検出信号を出力するエッジ検出部と、
上記デジタルデータの“1”および“0”に対応する上記2値信号のパターンに係る第1および第2のウィンドーパルスを生成するウィンドーパルス生成部と、
上記第1のウィンドーパルスの出力タイミングに上記エッジ検出信号の出力タイミングが一致したとき第1の一致パルスを出力する第1の一致検出部と、
上記第2のウィンドーパルスの出力タイミングに上記エッジ検出信号の出力タイミングが一致したとき第2の一致パルスを出力する第2の一致検出部と、
上記第1および第2の一致パルスのカウント値から上記デジタルデータが“1”か“0”かを判定する判定部とで構成されることを特徴とする周波数復調回路。

【請求項2】 上記ウィンドーパルス生成部は、上記第1のウィンドーパルスを、上記2値信号の立ち上がりエッジに関する第3のウィンドーパルスと、上記2値信号の立ち下がりエッジに関する第4のウィンドーパルスとに分離すると共に、上記第2のウィンドーパルスを、上記2値信号の立ち上がりエッジに関する第5のウィンドーパルスと、上記2値信号の立ち下がりエッジに関する第6のウィンドーパルスとに分離するパルス分離部を有し、
上記エッジ検出部は、上記エッジ検出信号を、立ち上がりエッジに関する第1のエッジ検出信号と、立ち下がりエッジに関する第2のエッジ検出信号とに分離する信号分離部を有し、
上記第1の一致検出部は、上記第3のウィンドーパルスの出力タイミングに上記第1のエッジ検出信号の出力タイミングが一致したとき上記第1の一致パルスを出力すると共に、上記第4のウィンドーパルスの出力タイミングに上記第2のエッジ検出信号の出力タイミングが一致したとき上記第1の一致パルスを出力し、
上記第2の一致検出部は、上記第5のウィンドーパルスの出力タイミングに上記第1のエッジ検出信号の出力タイミングが一致したとき上記第2の一致パルスを出力すると共に、上記第6のウィンドーパルスの出力タイミングに上記第2のエッジ検出信号の出力タイミングが一致したとき上記第2の一致パルスを出力することを特徴とする請求項1に記載の周波数復調回路。

【請求項3】 上記デジタルデータの“1”および“0”のデータに対応する上記周波数変調信号の波数がそれぞれ整数であることを特徴とする請求項1に記載の周波数復調回路。

【請求項4】 アドレス情報が周波数変調され、変調後の信号がグループウォブルとして記録される光ディスクを駆動する光ディスク装置において、
上記光ディスクから上記グループウォブルに対応したウォブル信号を再生するウォブル信号再生手段と、
上記ウォブル信号に対して周波数復調をすることで上記アドレス情報を得る周波数復調手段とを備え、
上記周波数復調手段は、
デジタルデータを表す周波数変調信号から2値信号を得る波形整形部と、
上記デジタルデータの“1”に対応する上記周波数変調信号の周波数と、上記デジタルデータの“0”に対応する上記周波数変調信号の周波数との公倍数の周波数を持つクロック信号を生成するクロック信号生成部と、
上記2値信号に対して上記クロック信号に基づいた処理をして上記デジタルデータを得る検波部とを有し、
上記検波部は、
上記2値信号のエッジを検出してエッジ検出信号を出力するエッジ検出部と、
上記デジタルデータの“1”および“0”に対応する2値信号のパターンに係る第1および第2のウィンドーパルスを生成するウィンドーパルス生成部と、
上記第1のウィンドーパルスの出力タイミングに上記エッジ検出信号の出力タイミングが一致したとき第1の一致パルスを出力する第1の一致検出部と、
上記第2のウィンドーパルスの出力タイミングに上記エッジ検出信号の出力タイミングが一致したとき第2の一致パルスを出力する第2の一致検出部と、
上記第1および第2の一致パルスのカウント値から上記デジタルデータが“1”か“0”かを判定する判定部とで構成されることを特徴とする光ディスク装置。

【請求項5】 上記ウィンドーパルス生成部は、上記第1のウィンドーパルスを、上記2値信号の立ち上がりエッジに関する第3のウィンドーパルスと、上記2値信号の立ち下がりエッジに関する第4のウィンドーパルスとに分離すると共に、上記第2のウィンドーパルスを、上記2値信号の立ち上がりエッジに関する第5のウィンドーパルスと、上記2値信号の立ち下がりエッジに関する第6のウィンドーパルスとに分離するパルス分離部を有し、
上記エッジ検出部は、上記エッジ検出信号を、立ち上がりエッジに関する第1のエッジ検出信号と、立ち下がりエッジに関する第2のエッジ検出信号とに分離する信号分離部を有し、
上記第1の一致検出部は、上記第3のウィンドーパルスの出力タイミングに上記第1のエッジ検出信号の出力タ

イミングが一致したとき上記第1の一致パルスを出力すると共に、上記第4のウィンドーパルスの出力タイミングに上記第2のエッジ検出信号の出力タイミングが一致したとき上記第1の一致パルスを出力し、上記第2の一致検出部は、上記第5のウィンドーパルスの出力タイミングに上記第1のエッジ検出信号の出力タイミングが一致したとき上記第2の一致パルスを出力すると共に、上記第6のウィンドーパルスの出力タイミングに上記第2のエッジ検出信号の出力タイミングが一致したとき上記第2の一致パルスを出力することを特徴とする請求項4に記載の光ディスク装置。

【請求項6】 上記アドレス情報の“1”および“0”のデータに対応する上記グループウォブルの波数がそれぞれ整数であることを特徴とする請求項4に記載の光ディスク装置。

【請求項7】 上記アドレス情報はバイフェーズ変調された後の信号であることを特徴とする請求項4に記載の光ディスク装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、周波数復調回路およびそれを有する光ディスク装置に関する。詳しくは、デジタルデータの“1”および“0”のデータにそれぞれ対応する周波数変調信号の周波数の公倍数の周波数を持つクロック信号に基づいた処理でデジタルデータを復調すると共に、ウィンドーパルスを利用して復調処理を行うことによって、簡単な構成で周波数変調信号の復調処理を行うと共に、周波数変調信号に記録媒体のディフェクト等による変形があった場合にも正確にデジタルデータを復調できるようにした周波数復調回路等に係るものである。

【0002】

【従来の技術】従来、バイフェーズ変調されたアドレス情報ADMを周波数変調し、変調後の信号に対応してグループ部をウォブリングした状態とし、変調後の信号をグループウォブルとして記録してなる光磁気ディスクが提案されている。この場合、グループウォブルは、図27に示すように、例えばアドレス情報ADMの1ビット（バイフェーズ1ビット）当たり、“1”のときは4.25波（4.25周期のサイン波）となり、“0”のときは3.75波（3.75周期のサイン波）となっている。この場合、グループウォブルの振幅は、変調後の信号の周波数に拘わらずに一定とされている。そのため、図27に拡大して示すように、アドレス情報ADMの“1”および“0”の接合部に対応するグループウォブルの0クロス点の前後での傾きが変化したものとなる。

【0003】図28は、グループウォブルの再生信号、つまりウォブル信号SWBよりアドレス情報ADMを得るための周波数復調回路300の従来例としての構成を示している。この周波数復調回路300は、直流カット用

のコンデンサ301と、閾値=0として直流成分がカットされたウォブル信号SWBをパルス信号（2値信号）PWBに変換するコンパレータ302とを有している。

【0004】また、周波数復調回路300は、PLL（phase-locked loop）回路303を構成する電圧制御発振器303aと、この電圧制御発振器303aの出力信号とコンパレータ302より出力されるパルス信号PWBとの位相比較を行うための位相比較器303bと、この位相比較器303bより出力される位相誤差信号の低域成分を取り出して電圧制御発振器303aに供給するための制御信号を得るローパスフィルタ303cとを有している。

【0005】また、周波数復調回路300は、ローパスフィルタ303cの出力信号の低域成分を取り出すためのローパスフィルタ304と、直流カット用のコンデンサ305と、閾値=0として、直流成分がカットされたローパスフィルタ304の出力信号よりアドレス情報ADMを得るコンパレータ306とを有している。

【0006】また、周波数復調回路300は、コンパレータ306より出力されるアドレス情報ADMの立ち上がりや立ち下りのエッジを検出するエッジ検出器307と、このエッジ検出器307より出力されるエッジ検出信号をトリガ信号として所定幅のパルス信号を得るモノマルチバイブレータ308とを有している。

【0007】また、周波数復調回路300は、PLL回路309を構成する電圧制御発振器309aと、この電圧制御発振器309aの出力信号とモノマルチバイブレータ308より出力されるパルス信号との位相比較を行うための位相比較器309bと、この位相比較器309bより出力される位相誤差信号の低域成分を取り出して電圧制御発振器309aに供給するための制御信号を得るローパスフィルタ309cとを有している。

【0008】図28に示す周波数復調回路300の動作を説明する。ウォブル信号SWBはコンデンサ301を介してコンパレータ302に供給されてパルス信号（2値信号）PWBに変換される。上述したように、バイフェーズ変調後のアドレス情報ADMが周波数変調され、この変調後の信号が光磁気ディスクにグループウォブルとして記録されている。そのため、ウォブル信号SWBは、周波数変調後の信号と同じく、図29Aに示すように、アドレス情報ADMの1ビット（バイフェーズ1ビット）に対応して、“1”のときは4.25波を有し、“0”のときは3.75波を有するものとなっている。そのため、コンパレータ302からは、図29Bに示すように、パルス信号PWBが得られる。

【0009】また、“1”に対応するウォブル信号SWBの周波数と“0”に対応するウォブル信号SWBの周波数とが異なることから、PLL回路303を構成するローパスフィルタ303cの出力信号は図29Cに示すようになり、従ってコンパレータ306からは図29Dに示

すようにアドレス情報ADMが得られる。そして、このアドレス情報ADMのエッジがエッジ検出器307で検出され、そのエッジ検出信号がトリガ信号としてモノマルチバイブレータ308より出力されるパルス信号がPLL回路309に参照信号として供給される。したがって、PLL回路309を構成する電圧制御発振器309aからは、図29Eに示すようにアドレス情報ADMに同期したクロック信号ACKが得られる。

【0010】

【発明が解決しようとする課題】上述したように、図28に示す周波数復調回路300は、2系統のPLL回路303、309を持ち、複雑な構成となっている。

【0011】そこで、この発明では、簡単な構成で周波数変調信号の復調処理を行うと共に、周波数変調信号に記録媒体のディフェクト等による変形があった場合にも正確にデジタルデータを復調し得る周波数復調回路等を提供することを目的とする。

【0012】

【課題を解決するための手段】請求項1の発明に係る周波数復調回路は、デジタルデータを表す周波数変調信号から2値信号を得る波形整形部と、デジタルデータの“1”に対応する周波数変調信号の周波数とデジタルデータの“0”に対応する周波数変調信号の周波数との公倍数の周波数を持つクロック信号を生成するクロック信号生成部と、上記2値信号に対して上記クロック信号に基づいた処理をしてデジタルデータを得る検波部とを備えるものである。そして、検波部は、上記2値信号のエッジを検出してエッジ検出信号を出力するエッジ検出部と、デジタルデータの“1”および“0”に対応する上記2値信号のパターンに係る第1および第2のウィンドーパルスを生成するウィンドーパルス生成部と、第1のウィンドーパルスの出力タイミングにエッジ検出信号の出力タイミングが一致したとき第1の一致パルスを出力する第1の一致検出部と、第2のウィンドーパルスの出力タイミングにエッジ検出信号の出力タイミングが一致したとき第2の一致パルスを出力する第2の一致検出部と、第1および第2の一致パルスのカウント値からデジタルデータが“1”か“0”かを判定する判定部とで構成されるものである。

【0013】また、請求項4の発明に係る光ディスク装置は、アドレス情報が周波数変調され、変調後の信号がグループウォブルとして記録される光ディスクを駆動する光ディスク装置において、光ディスクからグループウォブルに対応したウォブル信号を再生するウォブル信号再生手段と、ウォブル信号に対して周波数復調をすることでアドレス情報を得るものであって請求項1の発明の周波数復調手段とを備えるものである。

【0014】この発明において、デジタルデータ、例えばアドレス情報を周波数変調した信号が波形整形部で整形されて2値信号に変換される。また、クロック信号

生成部、例えばPLL回路や分周器により、デジタルデータの“1”に対応する周波数変調信号の周波数とデジタルデータの“0”に対応する周波数変調信号の周波数との公倍数の周波数を持つクロック信号が生成される。

【0015】このクロック信号を基準にすると、デジタルデータの“1”に対応する2値信号は第1のクロック分の“1”および“0”からなるパターンを有し、デジタルデータの“0”に対応する2値信号は第2のクロック分の“1”および“0”からなるパターンを有している。検波部では、クロック信号に基づいた処理でデジタルデータが復調される。

【0016】この処理においては、2値信号のエッジが検出されてエッジ検出信号が得られると共に、デジタルデータの“1”および“0”に対応する2値信号のパターンに係る第1および第2のウィンドーパルスが生成され、エッジ検出信号の出力タイミングと第1および第2のそれぞれのウィンドーパルスの出力タイミングとの一致数に基づいて、デジタルデータが“1”か“0”かの判定が行われる。

【0017】

【発明の実施の形態】以下、図面を参照しながら、この発明の実施の形態について説明する。図1は、実施の形態としての光磁気ディスク装置10の構成を示している。

【0018】まず、この光磁気ディスク装置10で駆動する光磁気ディスク11を説明する。図2は、光磁気ディスク11のセクタのレイアウトを示している。この光磁気ディスク11には内周側より外周側に向かってトラック0〜トラックnがスパイラル状に形成される。また、光磁気ディスク11はゾーニングされており、内周側のゾーンX1の各トラックには円周方向に0〜m1のセクタが含まれ、外周側のゾーンX2の各トラックには円周方向に0〜m2のセクタが含まれている。

【0019】図3A〜Dは、セクタ（ウォブルアドレスフレーム）フォーマットを示している。光磁気ディスク11には、図3Aに示すように、半径方向にグループ部12Gとランド部12Lとが交互に形成され、グループ部12Gまたはランド部12Lのいずれか一方、または双方にデータが記録される。グループ部12Gの片側は、例えばバイフェーズ変調後のアドレス情報ADMに依拠してウォブリングした状態とされている。

【0020】この場合、アドレス情報ADMが周波数変調（FM）され、変調後の信号に対応するようにグループ部12Gがウォブリングされている。つまり、その変調後の信号がグループウォブルとして記録されている。なお、グループ部12Gの片側がウォブリングされることから、結果的にランド部12Lの片側もアドレス情報ADMに依拠してウォブリングされた状態となっている。

【0021】なお、アドレス情報ADMはバイフェーズ

変調後のものであるが、アドレス情報にバイフェーズ変調を施してアドレス情報ADMを得て用いるのは、周知のようにDC成分の発生を防止するためである(DCフリー)。ここで、バイフェーズ変調を施す前のアドレス情報の1ビットは、バイフェーズ2ビットに対応している。

【0022】グループウォブルは、図5に示すように、アドレス情報ADMの1ビット(バイフェーズ1ビット)当たり、“1”のときは4波(4周期のサイン波)となり、“0”のときは3波(3周期のサイン波)となっている。しかも、このグループウォブルの振幅は、変調後の信号の周波数に応じて変化するようにされ、図5に拡大して示すように、アドレス情報ADMの“1”および“0”の接合部に対応するグループウォブルの0クロス点の前後での傾きが変化しないようにされている。

【0023】ここで、1セクタ(1ウォブルアドレスフレーム)の期間のグループウォブルは、バイフェーズ変調前のアドレス情報(データ)で、例えば42ビットのデータを有している。この42ビットのデータは、図4に示すように、4ビットの同期信号データ、24ビットのフレームアドレスデータ、14ビットのCRC(cyclic redundancy check)コードで構成される。

【0024】また、1セクタは、図3Bに示すように、例えば42セグメントで構成されている。各セグメントの境界位置には、図3Aに示すように、クロックマークCMがグループウォブルに多重化されてプリフォーマットされている。そして、図3Cに示すように、各セグメント内に60バイトのデータ領域が設けられると共に、各セグメントの境界位置に対応して6バイトの固定パターン領域が設けられている。データ書き込み時には、後述するようにデータ領域にはNRZIデータが記録されるが、固定パターン領域にはNRZIデータに同期した2Tの長さの固定パターン信号が記録される(Tはデータのビット間隔)。この固定パターン信号は、データ読み出し時におけるデータクロック信号の位相を制御するために使用される。

【0025】ここで、光磁気ディスク11では、1セクタが42セグメントで構成され、各セグメントの境界位置にクロックマークCMがプリフォーマットされていることから、隣接するクロックマーク間のバイフェーズビット数aは2となる。また、光磁気ディスク11では、各セグメント内に60バイトのデータ領域が設けられると共に、各セグメントの境界位置に対応して6バイトの固定パターン領域が設けられることから、隣接するクロックマーク間のチャンネルビット数nは528となる。

【0026】また、図1に戻って、ディスク装置10は、光磁気ディスク11を回転駆動するためのスピンドルモータ13を有している。光磁気ディスク11は、記録時および再生時には角速度一定で回転駆動される。スピンドルモータ13の回転軸には、その回転速度を検出

するための周波数発電機14が取り付けられている。

【0027】また、ディスク装置10は、外部磁界発生用の磁気ヘッド15と、この磁気ヘッド15の磁界発生を制御する磁気ヘッドドライバ16と、半導体レーザ、対物レンズ、光検出器等から構成される光学ヘッド17と、この光学ヘッド17の半導体レーザの発光を制御するレーザドライバ18とを有している。磁気ヘッド15と光学ヘッド17は光磁気ディスク11を挟むように対向して配設されている。

【0028】レーザドライバ18には、後述するサーボコントローラ41よりD/Aコンバータ19を介してレーザパワー制御信号SPCが供給され、光学ヘッド17の半導体レーザより出力されるレーザ光のパワーが、記録時には記録パワーPWとなり、再生時には記録パワーPWより低い再生パワーPRとなるように制御される。

【0029】データ書き込み時(記録時)には、後述するように磁気ヘッドドライバ16に記録データDrおよび固定パターン信号SFPが供給され、磁気ヘッド15より記録データDrおよび固定パターン信号SFPに対応した磁界が発生され、光学ヘッド17からのレーザビーム(レーザ光)との共働により光磁気ディスク11のデータ領域に記録データDrが記録されると共に、この記録データDrが記録されるデータ領域に対応した固定パターン領域に固定パターン信号SFPが記録される。

【0030】図6は、光学ヘッド17の光学系の構成を示している。光学ヘッド17は、レーザビームLBを得るための半導体レーザ31と、この半導体レーザ31より出力されるレーザビームLBを発散光より平行光に整形するためのコリメータレンズ32と、レーザビームを透過光と反射光の2つに分離するためのビームスプリッタ33と、レーザビームの光路を変更するための反射ミラー34と、レーザビームLBを光磁気ディスク11の記録面(記録膜)に照射するための対物レンズ35とを有している。

【0031】また、光学ヘッド17は、ビームスプリッタ33の反射面33bで反射されて外部に出射されるレーザビームを偏光方向の違いによって3つのレーザビームに分離するためのウォラストンプリズム(偏光面検波プリズム)36と、このウォラストンプリズム36より出力される3つのレーザビーム(平行光)を集光させるための集光レンズ37と、この集光レンズ37より出射される3つのレーザビームが照射されるフォトディテクタ39と、集光レンズ37とフォトディテクタ39との間に配されるマルチレンズ38とを有している。

【0032】マルチレンズ38は凹レンズおよび円筒レンズの組み合わせで構成される。円筒レンズを使用するのは、フォーカスエラー信号を周知の非点収差法で得るためである。フォトディテクタ39は、図7に示すように、4分割フォトダイオード部39mと、2個のフォトダイオード部39i、39jとで構成される。

【0033】図8は、ウォラストンプリズム36の構成例を示している。このプリズム36は、1軸性結晶、例えば水晶よりなる直角プリズム36a、36bが接合されて構成されている。この場合、プリズム36bの光軸Axbはプリズム36aの光軸Axaに対して45°だけ傾くように設定されている。

【0034】このような構成において、水晶は入射光の偏光面に関連して2つの異なる屈折率を持っている。そのため、プリズム36aにその光軸Axaに対して45°だけ傾いた偏光面Ppoを有する直線偏光Laを入射すると、図9に示すようにプリズム36aでは光軸Axaに垂直な偏光面を有する偏光成分Lb1および光軸Axaに平行な偏光面を有する偏光成分Lb2に分離される。さらに、プリズム36bでは、偏光成分Lb1が光軸Axbに平行な偏光面を有する偏光成分Lc1および光軸Axbに垂直な偏光面を有する偏光成分Lc2に分離されると共に、偏光成分Lb2が光軸Axbに平行な偏光面を有する偏光成分Lc3および光軸Axbに垂直な偏光面を有する偏光成分Lc4に分離される。

【0035】ここで、偏光成分Lc1、Lc2はプリズム36aの光軸Axaに垂直な偏光面を有するものであり、それぞれの光量は直線偏光Laの1/4の量となる。一方、偏光成分Lc3、Lc4はプリズム36aの光軸Axaと平行な偏光面を有するものであり、それぞれの光量は直線偏光Laの1/4の量となる。そして、偏光成分Lc2、Lc3のプリズム36bからの出射角は等しく、結果としてプリズム36b、従ってウォラストンプリズム36からは3本のレーザビームLi、Lm、Ljが分離して得られることになる。

【0036】図6に示す光学ヘッド17の光学系の動作を説明する。半導体レーザ31から放射される発散光としてのレーザビームLBは、コリメータレンズ32によって平行光に整形されてビームスプリッタ33に入射される。ビームスプリッタ33の多層膜33aを透過したレーザビームは反射ミラー34で直角に光路が変更され、対物レンズ35を介して光磁気ディスク11の記録面に照射される。

【0037】また、光磁気ディスク11の記録面で反射されるレーザビームは対物レンズ35および反射ミラー34を介してビームスプリッタ33に入射される。そして、ビームスプリッタ33の多層膜33aで反射されたレーザビームLrは、さらにビームスプリッタ33の反射面33bで反射されて外部に出射され、ウォラストンプリズム36に入射される。

【0038】このように光磁気ディスク11の記録面での反射に係るレーザビームLrがウォラストンプリズム36に入射されるが、上述せずとも、光磁気ディスク11の記録面での偏光面の回転（カー回転）がなかった場合の偏光面が光軸Axaに対して45°だけ傾くように設定されている（図8の直線偏光Laの偏光面Ppoと光軸A

xaとの関係参照）。これにより、上述した直線偏光Laが入射される場合と同様に、ウォラストンプリズム36によってレーザビームLrより3本のレーザビームLi、Lm、Ljが分離して得られる。

【0039】ここで、レーザビームLrの偏光面は光磁気ディスク11の記録膜の磁化の向きに従って時計方向または反時計方向にわずかに回転し、レーザビームLi、Ljの光量に光磁気ディスク11の記録膜の磁化の向きに従った大小関係が生じる。そのため、レーザビームLi、Ljの光量を検出し、その差をとることで光磁気記録されたデータ（信号）に対応する再生信号を得ることができる。なお、レーザビームLrの偏光面が回転してもレーザビームLmの光量は一定である。

【0040】上述したようにウォラストンプリズム36より出射される3本のレーザビームLi、Lm、Ljは集光レンズ37およびマルチレンズ38を介してフォトディテクタ39に入射される。フォトディテクタ39を構成するフォトダイオード部39i、39m、39jには、図7に示すように、それぞれレーザビームLi、Lm、LjによるスポットSPi、SPm、SPjが形成される。

【0041】この場合、4分割フォトダイオード部39mを構成する4個のフォトダイオードDa～Ddの検出信号をそれぞれSa～Sdとし、フォトダイオード部39i、39jを構成するフォトダイオードDi、Djの検出信号をSi、Sjとすると、光学ヘッド17の増幅回路部（図示せず）で以下の演算が行われ、記録領域からの再生信号SM0、非点収差方式のフォーカスエラー信号SFEおよびプッシュプル信号SPPが生成される。

$$【0042】SM0 = Si - Sj$$

$$SFE = (Sa + Sc) - (Sb + Sd)$$

$$SPP = (Sa + Sb) - (Sc + Sd)$$

【0043】図1に戻って、ディスク装置10は、CPU（central processing unit）を備えるサーボコントローラ41を有している。サーボコントローラ41には、光学ヘッド17で生成されるフォーカスエラー信号SFEがA/Dコンバータ42を介して供給される。また、光学ヘッド17で生成されるプッシュプル信号SPPは、プッシュプル法によるトラッキングエラー信号STEと、光磁気ディスク11のグループウォブルに対応したウォブル信号（FM信号）SWBと、光磁気ディスク11のクロックマークCMに対応したクロックマーク再生信号SCMとを含むものである。ここで、信号STE、SWB、SCMはそれぞれ異なる周波数帯域にある。したがって、プッシュプル信号SPPより、ローパスフィルタやバンドパスフィルタを使用して、信号STE、SWB、SCMをそれぞれ抽出することが可能である。

【0044】サーボコントローラ41には、プッシュプル信号SPPよりローパスフィルタ43で抽出されたトラッキングエラー信号STEがA/Dコンバータ44を介し

て供給される。このサーボコントローラ41には、さらに上述した周波数発電機14より出力される周波数信号SFGが供給される。

【0045】サーボコントローラ41の動作は、後述するシステムコントローラ51によって制御される。このサーボコントローラ41によって、トラッキングコイルやフォーカスコイル、さらには光学ヘッド17をラジアル方向に移動させるためのリニアモータを含むアクチュエータ45が制御され、トラッキングやフォーカスのサーボが行われ、また光学ヘッド17の半径方向(ラジアル方向)への移動が制御される。また、サーボコントローラ41によってスピンドルモータ13が制御され、上述したように記録時や再生時に光磁気ディスク11が角速度一定で回転するように制御される。

【0046】また、ディスク装置10は、CPUを備えるシステムコントローラ51と、データバッファ52と、ホストコンピュータとの間でデータやコマンドの送受を行うためのSCSI (Small Computer System Interface) 53とを有している。システムコントローラ51はシステム全体を制御するためのものである。

【0047】また、ディスク装置10は、ホストコンピュータからSCSI 53を通じて供給される書き込みデータに対して誤り訂正符号の付加を行うと共に、後述するデータ復調器59の出力データに対して誤り訂正を行うためのECC (error correction code) 回路54と、このECC回路54で誤り訂正符号が付加された書き込みデータをNRZI (Non Return to Zero Inverted) データに変換して記録データDrを得ると共に、上述した固定パターン信号SFPを発生するデータ変調器55とを有している。

【0048】また、ディスク装置10は、光学ヘッド17で生成される再生信号SM0の周波数特性を補償するためのイコライザ回路56と、このイコライザ回路56の出力信号をデジタル信号に変換するためのA/Dコンバータ57と、このA/Dコンバータ57の出力データに対してデジタル的にデータ識別処理をして再生データDpを得るデータ識別器58と、このデータ識別器58より出力される再生データDpに対してNRZI逆変換をして読み出しデータを得るためのデータ復調器59とを有している。データ識別器58は、2値化回路やビタビ復号器等で構成される。

【0049】また、ディスク装置10は、光学ヘッド17で生成されるプッシュプル信号SPPに含まれるウォブル信号SWBよりフレーム同期信号FDおよびフレームアドレスデータFADを得るADIP (Address In Pre-groove) デコーダ60と、プッシュプル信号SPPに含まれるクロックマーク再生信号SCMおよび光磁気ディスク11の固定パターン領域に対応した再生信号SM0より、再生信号SCMの0クロス点のタイミングを示すパルス信号PCMおよびデータクロック信号DCKを得るデータク

ロック再生器70と、フレーム同期信号FD、フレームアドレスデータFAD、パルス信号PCMおよびデータクロック信号DCKを使用して、リードゲート信号やライトゲート信号等のシステム各部に必要なタイミング信号を発生するタイミング発生器90とを有している。フレームアドレスデータFADはサーボコントローラ41にも供給され、またデータクロック信号DCKはA/Dコンバータ57にサンプリングクロックとして供給される。

【0050】図10は、ADIPデコーダ60の構成を示している。このADIPデコーダ60は、プッシュプル信号SPPよりウォブル信号SWBを抽出するためのバンドパスフィルタ61と、直流カット用のコンデンサ62と、閾値=0としてウォブル信号SWBをパルス信号(2値信号)PWBに変換するコンパレータ63とを有している。

【0051】また、ADIPデコーダ60は、PLL回路64を構成する電圧制御発振器64aと、この電圧制御発振器64aより出力されるクロック信号CK24を1/24に分周する分周器64bと、コンパレータ63より出力されるパルス信号PWBと分周器64bの出力信号との位相比較を行うための位相比較器64cと、この位相比較器64cより出力される位相誤差信号の低域成分を取り出して電圧制御発振器64aに供給するための制御信号を得るローパスフィルタ64dとを有している。

【0052】また、ADIPデコーダ60は、コンパレータ63より出力されるパルス信号PWBに対して電圧制御発振器64aより出力されるクロック信号CK24を使用した復調処理を行ってアドレス情報ADMを得ると共に、このアドレス情報ADMに同期したクロック信号ACKを得る検波回路67と、この検波回路67より出力されるアドレス情報ADMに対し、クロック信号ACKを使用して、同期検出、バイフェーズ復調、誤り検出などを行って、フレーム同期信号FDおよびフレームアドレスデータFADを得るアドレス変換器68とを有している。

【0053】次に、図10に示すADIPデコーダ60の動作を説明する。プッシュプル信号SPPよりバンドパスフィルタ61でウォブル信号SWBが抽出される。そして、このウォブル信号SWBがコンデンサ62を介してコンパレータ63に供給されてパルス信号PWBに変換される。上述したように、光磁気ディスク11には、バイフェーズ変調後のアドレス情報ADMが周波数変調され、この変調後の信号がグループウォブルとして記録されている。そのため、ウォブル信号SWBは、周波数変調後の信号と同じく、図11Aに示すように、アドレス情報ADMの1ビット(バイフェーズ1ビット)に対応して、“1”のときは4波を有し、“0”のときは3波を有するものとなっている。そのため、コンパレータ63からは、図11Bに示すように、パルス信号(2値信号)P

WBが得られる。なお、ウォブル信号SWBの振幅は、光磁気ディスク11のグルーブウォブルの振幅に比例したものととなる。

【0054】ビット“1”に対応するウォブル信号SWBの周波数が f_a であり、ビット“0”に対応するウォブル信号SWBの周波数が f_b であるとき、電圧制御発振器64aの発振周波数は、 f_a 、 f_b の公倍数の周波数($=6f_a=8f_b$)近傍で変化するように設定されている。そのため、電圧制御発振器64aからは、図11Cに示すように、 $f_c=6f_a=8f_b$ の周波数、従ってバイフェーズのビット周波数の24倍の周波数を持ち、パルス信号PWBに同期したクロック信号CK24が得られる。上述せずも、クロック信号CK24はバイフェーズビットのオーバーサンプリング用のクロック信号であって、バイフェーズビットのオーバーサンプリング値sは24クロックとなる。

【0055】このクロック信号CK24を基準にすると、バイフェーズ1ビット=“1”に対応するパルス信号PWB(1周期分)は3クロック分の値“1”と3クロック分の値“0”とからなる6Tパターンを有し、バイフェーズ1ビット=“0”に対応するパルス信号PWBは4クロック分の値“1”と4クロック分の値“0”とからなる8Tパターンを有している。

【0056】検波回路67は、パルス信号PWBより8Tパターンの連続を検出するときは、クロック信号ACK(図11Dに図示)に同期して次のバイフェーズ1ビット期間に“0”を出力し、一方パルス信号PWBより6Tパターンの連続を検出するときは、クロック信号ACKに同期して次のバイフェーズ1ビット期間に“1”を出力する。

【0057】つまり、検波回路67ではパルス信号PWBに対して復調処理が行われ、この検波回路67からはクロック信号ACKと共に、このクロック信号ACKに同期してグルーブウォブルに対応したアドレス情報ADMが出力される(図11Eに図示)。なお、図11Fは、クロックマークCMの再生信号SCMを示している。

【0058】このアドレス情報ADMは、アドレス変換器68に供給される。このアドレス変換器68では、アドレス情報ADMに対し、同期検出、バイフェーズ復調、誤り検出などが行われて、フレーム同期信号FDおよびフレームアドレスデータFADが得られる。これにより、アドレス変換器68からは、フレーム同期信号FDと共に、アドレス情報ADMより得られるフレームアドレスデータFADが出力される。

【0059】図12は、検波回路67の構成を示している。この検波回路67は、クロック信号CK24を使用して、パルス信号PWBのパターン判別によりバイフェーズビット“1”および“0”の切れ目(変わり目)を検出し、バイフェーズのビット周期のクロック信号CKBPを得るためのバイフェーズ周期検出回路102と、このク

ロック信号CKBPがリセット信号として供給されると共に、クロック信号CK24がカウント用のクロック信号として供給される5ビットカウンタ103とを有している。

【0060】また、検波回路67は、5ビットカウンタ103のカウント出力に基づいて、バイフェーズビット“0”用のウインドーパルスPW0と、バイフェーズビット“1”用のウインドーパルスPW1とを生成するウインドーパルス生成回路104を有している。ここで、ウインドーパルスPW0は、正規の8Tパターンのパルス信号PWBの立ち上がりエッジおよび立ち下がりエッジにそれぞれ対応して出力されるパルスであり、バイフェーズ1ビット期間に6個のパルスが生成される。同様に、ウインドーパルスPW1は、正規の6Tパターンのパルス信号PWBの立ち上がりエッジおよび立ち下がりエッジにそれぞれ対応して出力されるパルスであり、バイフェーズ1ビット期間に8個のパルスが生成される。

【0061】また、検波回路67は、クロック信号CK24を使用して、パルス信号PWBの立ち上がりエッジおよび立ち下がりエッジを検出し、エッジ検出パルスPeを出力するエッジ検出回路110を有している。

【0062】図13は、エッジ検出回路110の構成を示している。このエッジ検出回路110は、クロック信号CK24で動作する2段構成のDフリップフロップ回路111、112と、エクスクルーシブ・オア回路113とから構成されている。パルス信号PWBはDフリップフロップ回路111のデータ端子Dに供給され、このDフリップフロップ回路111の非反転出力端子Qに得られる信号がDフリップフロップ回路112のデータ端子Dに供給される。そして、Dフリップフロップ回路111、112の非反転出力端子Qに得られる信号がエクスクルーシブ・オア回路113の入力側に供給され、このエクスクルーシブ・オア回路113の出力側よりエッジ検出パルスPeが出力される。

【0063】また、図12に戻って、検波回路67は、ウインドーパルス生成回路104で生成されるウインドーパルスPW0、PW1をゲート信号としてエッジ検出パルスPeをゲートし、一致検出回路として機能するアンドゲート121、122と、アンドゲート121、122でそれぞれゲートされたエッジ検出パルスPeをカウントするエッジパルスカウンタ123、124と、前のバイフェーズ1ビット期間でカウントされたエッジパルスカウンタ123、124のカウント値x、yを比較し、次のバイフェーズ1ビット期間に、その比較結果に基づいたアドレス情報ADMを出力する比較回路125とを有している。

【0064】ここで、エッジパルスカウンタ123、124には、それぞれバイフェーズのビット周期のクロック信号CKBPがリセット信号として供給される。また、このクロック信号CKBPは、比較回路125にもタイミ

ング信号として供給される。比較回路125では、 $x > y$ のときはアドレス情報ADMとしてビット“0”が出力され、 $x < y$ のときはアドレス情報ADMとしてビット“1”が出力される。

【0065】また、検波回路67は、クロック信号CK24を1/24に分周し、クロック信号CKBPを参照して、アドレス情報ADMに同期したクロック信号ACK（図11D参照）を出力する分周器126を有している。

【0066】図12に示す検波回路67の動作を説明する。バイフェーズ同期検出回路102にパルス信号PWBおよびクロック信号CK24が供給され、バイフェーズのビット周期のクロック信号CKBPが得られる。また、5ビットカウンタ103には、このクロック信号CKBPがリセット信号として供給されると共に、クロック信号CK24がカウント用のクロック信号として供給される。これにより、5ビットカウンタ103では、バイフェーズの各ビット周期において、最初にリセットされ、その後、クロック信号CK24によるカウント動作が行われ、10進法で「0」～「23」までカウントされることとなる。

【0067】この5ビットカウンタ103のカウント出力はウインドーパルス生成回路104に供給され、5ビットカウンタ103のカウント出力に基づいて、バイフェーズビット“0”用のウインドーパルスPW0と、バイフェーズビット“1”用のウインドーパルスPW1とが生成され、それぞれアンドゲート121、122にゲート信号として供給される。

【0068】一方、エッジ検出回路110にパルス信号PWBおよびクロック信号CK24が供給され、パルス信号PWBの立ち上がりエッジおよび立ち下がりエッジが検出されてエッジ検出パルスPeが得られ、このエッジ検出パルスPeがそれぞれアンドゲート121、122に供給される。そして、アンドゲート121、122でゲートされたエッジ検出パルスPeは、それぞれエッジパルスカウンタ123、124に供給され、各バイフェーズ1ビット期間毎にカウントされる。

【0069】そして、比較回路125では、前のバイフェーズ1ビット期間でカウントされたエッジパルスカウンタ123、124のカウント値 x 、 y が比較され、次のバイフェーズ1ビット期間に、その比較結果に基づいたアドレス情報ADMが出力される。

【0070】例えば、あるバイフェーズ1ビット期間のウォブル信号SWBが図14Aに示すようにバイフェーズビット“0”に対応するものであるとき、パルス信号（2値信号）PWBは図14Bに示すように8Tパターンが3回連続したものとなり、図14D、図14D'に示すようにエッジ検出パルスPeが得られる。図14Cは、クロック信号CK24を示している。

【0071】そして、アンドゲート121に供給される

ウインドーパルスPW0は図14Eに示すように形成されているため、エッジパルスカウンタ123に供給される一致パルスとしてのゲート出力P00は図14Fに示すようになり、 $x=6$ となる。一方、アンドゲート122に供給されるウインドーパルスPW1は図14E'に示すように形成されているため、エッジパルスカウンタ124に供給される一致パルスとしてのゲート出力P01は図14F'に示すようになり、 $y=2$ となる。したがって、比較回路125より、次のバイフェーズ1ビット期間に、アドレス情報ADMとして、ビット“0”が出力される。

【0072】また、あるバイフェーズ1ビット期間のウォブル信号SWBが図15Aに示すようにバイフェーズビット“1”に対応するものであるとき、パルス信号（2値信号）PWBは図15Bに示すように6Tパターンが4回連続したものとなり、図15D、図15D'に示すようにエッジ検出パルスPeが得られる。図15Cは、クロック信号CK24を示している。

【0073】そして、アンドゲート121に供給されるウインドーパルスPW0は図15Eに示すように形成されているため、エッジパルスカウンタ123に供給されるゲート出力P00は図15Fに示すようになり、 $x=2$ となる。一方、アンドゲート122に供給されるウインドーパルスPW1は図15E'に示すように形成されているため、エッジパルスカウンタ124に供給されるゲート出力P01は図15F'に示すようになり、 $y=8$ となる。したがって、比較回路125より、次のバイフェーズ1ビット期間に、アドレス情報ADMとして、ビット“1”が出力される。

【0074】次に、光磁気ディスク11に傷などの欠陥（ディフェクト）がある場合であって、ウォブル信号SWBが変形している場合について説明する。

【0075】例えば、あるバイフェーズ1ビット期間のウォブル信号SWBがバイフェーズビット“0”に対応するものであって、図16Aに示すようにディフェクトによる変形があるとき、パルス信号（2値信号）PWBは図16Bに示すように得られ、図16D、図16D'に示すようにエッジ検出パルスPeが得られる。図16Cは、クロック信号CK24を示している。

【0076】そして、アンドゲート121に供給されるウインドーパルスPW0は図16Eに示すように形成されているため、エッジパルスカウンタ123に供給されるゲート出力P00は図16Fに示すようになり、 $x=6$ となる。一方、アンドゲート122に供給されるウインドーパルスPW1は図16E'に示すように形成されているため、エッジパルスカウンタ124に供給されるゲート出力P01は図16F'に示すようになり、 $y=3$ となる。したがって、比較回路125より、次のバイフェーズ1ビット期間に、アドレス情報ADMとして、ビット“0”が出力される。

【0077】また、あるバイフェーズ1ビット期間のウォブル信号SWBがバイフェーズビット“1”に対応するものであって、図17Aに示すようにディフェクトによる変形があるとき、パルス信号(2値信号)PWBは図17Bに示すようになり、図17D、図17D'に示すようにエッジ検出パルスPeが得られる。図17Cは、クロック信号CK24を示している。

【0078】そして、アンドゲート121に供給されるウインドーパルスPW0は図17Eに示すように形成されているため、エッジパルスカウンタ123に供給されるゲート信号P00は図17Fに示すようになり、 $x=1$ となる。一方、アンドゲート122に供給されるウインドーパルスPW1は図17E'に示すように形成されているため、エッジパルスカウンタ124に供給されるゲート出力P01は図17F'に示すようになり、 $y=6$ となる。したがって、比較回路125より、次のバイフェーズ1ビット期間に、アドレス情報ADMとして、ビット“1”が出力される。

【0079】このように、図12に示す検波回路67では、ウォブル信号SWBに、図16Aおよび図17Aに示すようなディフェクトによる変形がある場合であっても、ウォブル信号SWBにディフェクトによる変形がない場合と同様に、良好にアドレス情報ADMを得ることができる。

【0080】ところで、図16Aおよび図17Aに示すようなディフェクトによる変形がある場合には、上述したように x 、 y の差が大きくなるので、 x 、 y の大小のみによって、ビット“0”またはビット“1”と判定しても、正しくアドレス情報ADMを得ることができる。しかし、 x 、 y の差があまりないときは、ビット“0”と判定すべきか、ビット“1”と判定すべきかが困難となる場合がある。

【0081】例えば、あるバイフェーズ1ビット期間のウォブル信号SWBが図18Aに示すように変形したものであるとき、パルス信号(2値信号)PWBは図18Bに示すようになり、図18D(=図18E=図18E')に示すようにエッジ検出パルスPeが得られる。図18Cは、クロック信号CK24を示している。

【0082】そして、アンドゲート121に供給されるウインドーパルスPW0は図18Fに示すように形成されているため、エッジパルスカウンタ123に供給されるゲート出力P00は図18Gに示すようになり、 $x=4$ となる。ビット“0”と仮定するならば、 $x=6$ となるはずである。

【0083】一方、アンドゲート122に供給されるウインドーパルスPW1は図18F'に示すように形成されているため、エッジパルスカウンタ124に供給されるゲート出力P01は図18G'に示すようになり、 $y=6$ となる。ビット“1”と仮定するならば、 $y=8$ となるはずである。

【0084】したがって、単純な比較であると、 $x < y$ であることから、ビット“1”であると判定することとなる。しかし、本当にビット“1”であるとは即断できない。なぜならば、それぞれが本来検出されるべき数と比較すると、ともにカウントが2不足しているという点で同じ誤差を持っているからである。

【0085】そこで、ウインドーについてさらに条件を加え、立ち上がりエッジと立ち下がりエッジとを分離して検出することによって、より正確な判定が可能になる。

【0086】図19は、他の構成の検波回路67Aを示すものであり、立ち上がりエッジと立ち下がりエッジとを分離して検出するようにしたものである。この図19において、図12と対応する部分には同一符号を付して示している。

【0087】この検波回路67Aは、クロック信号CK24を使用して、パルス信号PWBのパターン判別によりバイフェーズビット“1”および“0”の切れ目(変わり目)を検出し、バイフェーズのビット周期のクロック信号CKBPを得るためのバイフェーズ周期検出回路102と、このクロック信号CKBPがリセット信号として供給されると共に、クロック信号CK24がカウント用のクロック信号として供給される5ビットカウンタ103とを有している。

【0088】また、検波回路67Aは、5ビットカウンタ103のカウント出力に基づいて、バイフェーズビット“0”用のウインドーパルスPW0u、PW0dと、バイフェーズビット“1”用のウインドーパルスPW1u、PW1dとを生成するウインドーパルス生成回路104Aを有している。

【0089】ここで、ウインドーパルスPW0uは正規の8Tパターンのパルス信号PWBの立ち上がりエッジに対応して出力されるパルスであり、バイフェーズ1ビット期間に3個のパルスが生成される。ウインドーパルスPW0dは正規の8Tパターンのパルス信号PWBの立ち下がりエッジに対応して出力されるパルスであり、バイフェーズ1ビット期間に3個のパルスが生成される。

【0090】ウインドーパルスPW1uは正規の6Tパターンのパルス信号PWBの立ち上がりエッジに対応して出力されるパルスであり、バイフェーズ1ビット期間に4個のパルスが生成される。ウインドーパルスPW1dは正規の6Tパターンのパルス信号PWBの立ち下がりエッジに対応して出力されるパルスであり、バイフェーズ1ビット期間に4個のパルスが生成される。

【0091】また、検波回路67Aは、クロック信号CK24を使用して、パルス信号PWBの立ち上がりエッジを検出し、エッジ検出パルスPeuを出力する立ち上がりエッジ検出回路130と、同様にクロック信号CK24を使用して、パルス信号PWBの立ち下がりエッジを検出し、エッジ検出パルスPedを出力するエッジ検出回路140

とを有している。

【0092】図20は、立ち上がりエッジ検出回路130の構成を示している。このエッジ検出回路130は、クロック信号CK24で動作する2段構成のDフリップフロップ回路131、132と、アンド回路133とから構成されている。パルス信号PWBはDフリップフロップ回路131のデータ端子Dに供給され、このDフリップフロップ回路131の非反転出力端子Qに得られる信号がDフリップフロップ回路132のデータ端子Dに供給される。そして、Dフリップフロップ回路131の非反転出力端子Qに得られる信号とDフリップフロップ回路132の反転出力端子Qバーに得られる信号とがアンド回路133の入力側に供給され、このアンド回路133の出力側よりエッジ検出パルスPeuが出力される。

【0093】また、図21は、立ち下がりエッジ検出回路140の構成を示している。このエッジ検出回路140は、クロック信号CK24で動作する2段構成のDフリップフロップ回路141、142と、アンド回路143とから構成されている。パルス信号PWBはDフリップフロップ回路141のデータ端子Dに供給され、このDフリップフロップ回路141の非反転出力端子Qに得られる信号がDフリップフロップ回路142のデータ端子Dに供給される。そして、Dフリップフロップ回路141の反転出力端子Qバーに得られる信号とDフリップフロップ回路142の非反転出力端子Qに得られる信号とがアンド回路143の入力側に供給され、このアンド回路143の出力側よりエッジ検出パルスPedが出力される。

【0094】また、図19に戻って、検波回路67Aは、ウインドーパルス生成回路104Aで生成されるウインドーパルスPW0u、PW0dをゲート信号としてそれぞれエッジ検出パルスPeu、Pedをゲートし、一致検出回路として機能するアンドゲート151、152と、ウインドーパルス生成回路104Aで生成されるウインドーパルスPW1u、PW1dをゲート信号としてそれぞれエッジ検出パルスPeu、Pedをゲートし、一致検出回路として機能するアンドゲート153、154とを有している。

【0095】また、検波回路67Aは、アンドゲート151、152でそれぞれゲートされたエッジ検出パルスPeu、Pedをカウントするエッジパルスカウンタ155、156と、アンドゲート153、154でそれぞれゲートされたエッジ検出パルスPeu、Pedをカウントするエッジパルスカウンタ157、158と、エッジパルスカウンタ155、156のカウント値を加算する加算器159と、エッジパルスカウンタ157、158のカウント値を加算する加算器160とを有している。

【0096】また、検波回路67Aは、前のバイフェーズ1ビット期間でカウントされたエッジパルスカウンタ155、156のカウント値の合計値（加算器159の出力値）xと、同様に前のバイフェーズ1ビット期間で

カウントされたエッジパルスカウンタ157、158のカウント値の合計値（加算器160の出力値）yとを比較し、次のバイフェーズ1ビット期間に、その比較結果に基づいたアドレス情報ADMを出力する比較回路161とを有している。

【0097】ここで、エッジパルスカウンタ155～158には、それぞれバイフェーズのビット周期のクロック信号CKBPがリセット信号として供給される。また、このクロック信号CKBPは、比較回路161にもタイミング信号として供給される。比較回路161では、 $x > y$ のときはアドレス情報ADMとしてビット“0”が出力され、 $x < y$ のときはアドレス情報ADMとしてビット“1”が出力される。

【0098】また、検波回路67Aは、クロック信号CK24を $1/24$ に分周し、クロック信号CKBPを参照して、アドレス情報ADMに同期したクロック信号ACK（図11D参照）を出力する分周器126を有している。

【0099】図19に示す検波回路67Aの動作を説明する。バイフェーズ周期検出回路102にパルス信号PWBおよびクロック信号CK24が供給され、バイフェーズのビット周期のクロック信号CKBPが得られる。また、5ビットカウンタ103には、このクロック信号CKBPがリセット信号として供給されると共に、クロック信号CK24がカウント用のクロック信号として供給される。これにより、5ビットカウンタ103では、バイフェーズの各ビット周期において、最初にリセットされ、その後クロック信号CK24によるカウント動作が行われ、10進法で「0」～「23」までカウントされることとなる。

【0100】この5ビットカウンタ103のカウント出力はウインドーパルス生成回路104Aに供給され、5ビットカウンタ103のカウント出力に基づいて、バイフェーズビット“0”用のウインドーパルスPW0u、PW0dと、バイフェーズビット“1”用のウインドーパルスPW1u、PW1dとが生成され、それぞれアンドゲート151～154にゲート信号として供給される。

【0101】一方、立ち上がりエッジ検出回路130にパルス信号PWBおよびクロック信号CK24が供給され、パルス信号PWBの立ち上がりエッジが検出されてエッジ検出パルスPeuが得られ、このエッジ検出パルスPeuがそれぞれアンドゲート151、153に供給される。同様に、立ち下がりエッジ検出回路140にパルス信号PWBおよびクロック信号CK24が供給され、パルス信号PWBの立ち下がりエッジが検出されてエッジ検出パルスPedが得られ、このエッジ検出パルスPedがそれぞれアンドゲート152、154に供給される。

【0102】アンドゲート151、152でゲートされたエッジ検出パルスPeu、Pedはそれぞれエッジパルスカウンタ155、156に供給され、各バイフェーズ1

ビット期間毎にカウントされる。同様に、アンドゲート153, 154でゲートされたエッジ検出パルスPeu, Pedはそれぞれエッジパルスカウンタ157, 158に供給され、各バイフェーズ1ビット期間毎にカウントされる。

【0103】そして、比較回路161では、前のバイフェーズ1ビット期間でカウントされたエッジパルスカウンタ155, 156のカウント値の合計値xと同様に前のバイフェーズ1ビット期間でカウントされたエッジパルスカウンタ157, 158のカウント値の合計値yとが比較され、次のバイフェーズ1ビット期間に、その比較結果に基づいたアドレス情報ADMが出力される。

【0104】図19に示す検波回路67Aで、あるバイフェーズ1ビット期間のウォブル信号SWBが図22A(=図18A)に示すように変形したものである場合について説明する。この場合、パルス信号(2値信号)PWbは図22Bに示すようになり、図22E(=図22E')に示すように立ち上がりエッジに対応したエッジ検出パルスPeuが得られると共に、図22G(=図22G')に示すように立ち下がりエッジに対応したエッジ検出パルスPedが得られる。図22Cはクロック信号CK24を示しており、図22Dはエッジ検出パルスPeu, Pedを合わせたエッジ検出パルスPeを示している。

【0105】また、アンドゲート151, 152に供給されるウインドーパルスPW0u, PW0dは図22F, Hに示すように形成されているため、エッジパルスカウンタ155, 156に供給される一致パルスとしてのゲート出力A0u, A0dは図22Iに示すようになり、 $x=1$ となる。一方、アンドゲート153, 154に供給されるウインドーパルスPW1u, PW1dは図22F', H'に示すように形成されているため、エッジパルスカウンタ157, 158に供給される一致パルスとしてのゲート出力A1u, A1dは図22I'に示すようになり、 $y=6$ となる。この場合、 x, y の差が十分に大きくなるので、その比較結果をそのまま利用しても、正しい検波結果となる。

【0106】したがって、比較回路161では、 x, y の比較結果がそのまま利用され、次のバイフェーズ1ビット期間に、アドレス情報ADMとして、ビット“1”が出力される。

【0107】このように、ウインドーパルスだけでなく、パルス信号PWbのエッジ情報をも加味することにより、より正確な判定が可能になる利益がある。

【0108】さて、図10に示すADIPデコーダ60は、PLL回路64を有するものであり、比較的複雑な回路構成となっている。

【0109】ところで、上述したように、隣接するクロックマーク間のバイフェーズビット数aは2であり、隣接するクロックマーク間のチャネルビット数nは528であり、さらにバイフェーズビットのオーバーサンプリ

ング値sは24クロックである。後述するように、データクロック再生器70では、クロックマークCMの再生信号SCMを $n=528$ 通倍して、データクロック信号DCKが得られる。この場合、データクロック信号DCKの周波数と、バイフェーズビットのオーバーサンプリング用のクロック信号CK24の周波数とは、整数比の関係となっている。つまり、データクロック信号DCKの周波数を f_{dck} とし、クロック信号CK24の周波数を f_{24} とすると、 $f_{dck}=11 \times f_{24}$ となる。そこで、データクロック信号DCKを分周してクロック信号CK24を生成することが可能である。

【0110】図23は、他の構成のADIPデコーダ60Aを示すものであり、データクロック信号DCKを分周してクロック信号CK24を得るものである。この図23において、図10と対応する部分には同一符号を付し、その詳細説明は省略する。

【0111】このADIPデコーダ60Aは、データクロック再生器70で再生されるデータクロック信号DCKを、 $1/M$ に分周して、バイフェーズビットのオーバーサンプリング用のクロック信号CK24を生成する分周器69を有している。ここで、 $M=n/(a \cdot s)$ であり、本実施の形態では、 $M=528/(2 \cdot 24)=11$ である。この分周器69で生成されるクロック信号CK24は検波回路67(67A)で使用される。図24A~Cは、クロックマークCMの再生信号SCM、データクロック信号DCKおよびクロック信号CK24のタイミング関係を示している。

【0112】図23に示すADIPデコーダ60Aのその他の構成は図10に示すADIPデコーダ60と同様である。したがって、詳細説明は省略するが、ADIPデコーダ60Aは、図10に示すADIPデコーダ60と同様に動作し、アドレス変換器68からは、フレームアドレスデータFADおよびフレーム同期信号FDが得られる。

【0113】このように図23に示すADIPデコーダ60Aは、クロック信号CK24を得るのに、PLL回路を不要とでき、図10に示すADIPデコーダ60と比べて、さらに簡単な回路構成となる利益がある。

【0114】また、図25は、データクロック再生器70の構成を示している。このデータクロック再生器70は、プッシュプル信号SPPよりクロックマーク再生信号SCMを抽出するためのバンドパスフィルタ71と、直流カット用のコンデンサ72と、クロックマーク再生信号SCMの0クロス点のタイミングを示すパルス信号PCMを得るエッジ検出器73とを有している。

【0115】また、データクロック再生器70は、再生信号SM0の直流成分をカットするコンデンサ74と、閾値=0として再生信号SM0をパルス信号(2値信号)PM0に変換するコンパレータ75と、このパルス信号PM0からタイミング発生器90より供給される固定パターン

ゲート信号SG₀を使用して光磁気ディスク11の固定パターン領域の再生信号SM₀に対応するパルス信号PFPをゲートするアンド回路76とを有している。この場合、図3Dに示すように、固定パターンゲート信号SG₀は、固定パターン領域の再生信号SM₀が得られる期間で“1”となり、その他の期間では“0”となるものである。

【0116】なお、タイミング発生器90には、上述したクロックマーク再生信号SCMの0クロス点のタイミングを示すパルス信号PCMが供給される。そして、タイミング発生器90では、このパルス信号PCMをタイミング基準とし、データクロック信号DCKをカウントすることで、固定パターンゲート信号SG₀が生成される。

【0117】また、データクロック再生器70は、PLL回路を構成する電圧制御発振器77と、この電圧制御発振器77より出力されるデータクロック信号DCKを $1/N$ （ここでは、 $N=n=528$ ）に分周する分周器78と、エッジ検出器73より出力されるパルス信号PCMと分周器78の出力信号との位相比較を行うための位相比較器79と、この位相比較器79より出力される位相誤差信号の低域成分を取り出すローパスフィルタ80とを有している。

【0118】また、データクロック再生器70は、アンド回路76より出力されるパルス信号PFPと分周器78の出力信号との位相比較を行うための位相比較器81と、この位相比較器81より出力される位相誤差信号の高域成分を取り出すハイパスフィルタ82と、ローパスフィルタ80の出力信号と接続スイッチ83を介して供給されるハイパスフィルタ82の出力信号とを加算して電圧制御発振器77に供給する制御信号を得るための加算器84とを有している。接続スイッチ83にはシステムコントローラ51よりスイッチ制御信号SWが供給される。これにより、接続スイッチ83は、データ書き込み時（記録時）にはオフとされると共に、データ読み出し時（再生時）にはオンとされる。

【0119】次に、図25に示すデータクロック再生器70の動作を説明する。プッシュプル信号SPPよりクロックマーク再生信号SCM（図26Aに図示）が抽出され、このクロックマーク再生信号SCMはコンデンサ72を介してエッジ検出器73に供給される。そして、エッジ検出器73よりクロックマーク再生信号SCMの0クロス点のタイミングを示すパルス信号PCM（図26Bに図示）が得られる。

【0120】また、光学ヘッド17（図1参照）より出力される再生信号SM₀はコンデンサ74を介してコンパレータ75に供給されてパルス信号（2値信号）PM₀に変換される。そして、アンド回路76では、固定パターンゲート信号SG₀（図26Cに図示）により、パルス信号PM₀から光磁気ディスク11の固定パターン領域の再生信号SM₀に対応するパルス信号（2値信号）PFP

（図26Dに図示）が取り出される。

【0121】そして、データ書き込み時（記録時）には、接続スイッチ83がオフとされることから、電圧制御発振器77、分周器78、位相比較器79およびローパスフィルタ80によってPLL回路が構成され、電圧制御発振器77には位相比較器79より出力される位相誤差信号がローパスフィルタ80を通じて制御信号として供給される。そのため、電圧制御発振器77からは、クロックマーク再生信号SCMが持つ位相情報によって位相が制御されたデータクロック信号DCKが得られる。

【0122】また、データ読み出し時（再生時）には、接続スイッチ83がオンとされることから、電圧制御発振器77、分周器78、位相比較器79、81、ローパスフィルタ80およびハイパスフィルタによってPLL回路が構成され、電圧制御発振器77には位相比較器79より出力される位相誤差信号の低域成分と位相比較器81より出力される位相誤差信号の高域成分との加算信号が制御信号として供給される。そのため、電圧制御発振器77からは、クロックマーク再生信号SCMが持つ位相情報と固定パターン領域の再生信号SM₀が持つ位相情報とによって位相が制御されたデータクロック信号DCKが得られる。なお、図26Eは、データクロック信号DCKを示している。

【0123】次に、図1に示す光磁気ディスク装置10の動作を説明する。ホストコンピュータよりシステムコントローラ51にデータライトコマンドが供給される場合には、データ書き込み（記録）が行われる。この場合、SCSI53で受信されてデータバッファ52に格納されているホストコンピュータからの書き込みデータに対して、ECC回路54で誤り訂正符号の付加が行われ、さらにデータ変調器55でNRZIデータへの変換が行われる。そして、データ変調器55より磁気ヘッドドライバ16に記録データDrおよび固定パターン信号SFPが供給され、光磁気ディスク11のターゲット位置としてのデータ領域に記録データDrが記録されると共に、記録データDrが記録されるデータ領域に対応した固定パターン領域に固定パターン信号SFPが記録される。

【0124】また、ホストコンピュータよりシステムコントローラ51にデータリードコマンドが供給される場合には、データ読み出し（再生）が行われる。この場合、光磁気ディスク11のターゲット位置としてのデータ領域およびそのデータ領域に対応した固定パターン領域より再生信号SM₀が得られる。この再生信号SM₀はイコライザ回路56で周波数特性が補償され、A/Dコンバータ57でデータクロック信号DCKを使用してディジタル信号に変換され、その後にデータ識別器58でデータの識別が行われて再生データDpが得られる。そして、この再生データDpに対して、データ復調器59でNRZI逆変換が行われ、さらにECC回路54で誤り

訂正が行われて読み出しデータが得られる。そして、この読み出しデータはデータバッファ52に一旦格納され、その後、所定タイミングでSCSI53を介してホストコンピュータに送信される。

【0125】なお、データ書き込みやデータ読み出しにおいて、磁気ヘッド15および光学ヘッド17はサーボコントローラ41によってターゲット位置にシークされる。この場合、ADIPデコーダ60より出力されるフレームアドレスデータFADを参照してシーク動作が行われる。また、データ書き込み時（記録時）には、データクロック再生器70よりクロックマーク再生信号SCMが持つ位相情報の低域成分によって位相が制御されたデータクロック信号DCKが得られ、このデータクロック信号DCKに同期してデータ書き込みが行われる。一方、データ読み出し時（再生時）には、データクロック再生器70よりクロックマーク再生信号SCMが持つ位相情報の低域成分と固定パターン領域の再生信号SM0が持つ位相情報の高域成分とによって位相が制御されたデータクロック信号DCKが得られ、このデータクロック信号DCKに同期してデータ読み出しが行われる。

【0126】図1に示すディスク装置10においては、データ読み出し時（再生時）には、データクロック再生器70よりクロックマーク再生信号SCMが持つ位相情報と固定パターン領域の再生信号SM0が持つ位相情報とによって位相が制御されたデータクロック信号DCKを得るものであり（図25参照）、クロックマーク再生信号SCMの振幅が小さく、そのS/Nが悪くても、再生データに高精度に同期したクロック信号を得ることができ、データ読み出しの処理精度を上げることができる。

【0127】また、光磁気ディスク11のグループウォブルの振幅が変調後の信号の周波数に応じて変化するようにされ、アドレス情報ADMの“1”および“0”の接合部に対応するグループウォブルの0クロス点の前後での傾きが変化しないようにされている（図5参照）。そのため、アドレス情報ADMの“1”および“0”の接合部に対応するウォブル信号SWBの時間軸方向のジッタを低減でき、ADIPデコーダ60（図10参照）でアドレス情報ADMを良好に得ることができる。本実施の形態においては、上述したように、アドレス情報ADMの“1”および“0”に対応するグループウォブルの波数がそれぞれ整数とされており、アドレス情報ADMの“1”および“0”に対応するグループウォブルの接合部は全て0クロス点となることから、特に有効である。

【0128】また、ADIPデコーダ60では、アドレス情報ADMの“1”および“0”のデータにそれぞれ対応するウォブル信号SWBの周波数 f_a 、 f_b の公倍数の周波数 f_c （ $=6f_a=8f_b$ ）を持つクロック信号CK24を使用した復調処理でアドレス情報ADMを得るものである（図10参照）。そのため、PLL回路を1

系統持つだけで構成でき、ADIPデコーダ60の構成が簡単となる利益がある。

【0129】この場合、アドレス情報ADMの“1”および“0”に対応するグループウォブルの波数がそれぞれ整数とされており、アドレス情報ADMの“1”および“0”のデータにそれぞれ対応してコンパレータ63より出力されるパルス信号PWBは常に同じ形状となることから、検波回路67におけるクロック信号CK24を使用した復調処理を容易に行うことができる。

【0130】また、データクロック信号DCKの周波数とバイフェーズビットのオーバーサンプリング用のクロック信号CK24の周波数とが整数比の関係にあり、データクロック信号DCKを分周してバイフェーズビットのオーバーサンプリング用のクロック信号CK24を得ることで、ADIPデコーダ60A（図23参照）の構成をより簡単とできる（図23参照）。

【0131】また、ADIPデコーダ60の検波回路67では、ウィンドーパルスを使用してビット“0”とビット“1”の検波を行うものであるため、ウォブル信号SWBにディフェクトによる変形がある場合であっても、その変形がない場合と同様に、アドレス情報ADMを良好に得ることができる。

【0132】なお、上述実施の形態においては、光磁気ディスク11のグループ部12Gの片側のみウォブリングした状態とされたものを示したが、グループ部12Gの両側がウォブリングされた状態であってもよい。

【0133】また、この実施の形態においては、グループ部12Gのウォブリングしている側にクロックマークCMがプリフォーマットされたものを示したが、ウォブリングしていない側にクロックマークCMがプリフォーマットされてもよく、さらに両側にクロックマークCMがプリフォーマットされていてもよい。

【0134】また、上述実施の形態においては、アドレス情報ADMの“1”および“0”に対応するグループウォブルの波数がそれぞれ「4」、「3」としたが、これに限定されるものではない。

【0135】また、上述実施の形態においては、記録領域の固定パターン領域がクロックマークCMの記録位置に1対1に対応して設けられているが、必ずしも対応させる必要はない。例えば、固定パターン領域の個数をクロックマークCMの個数より少なくしてもよい。

【0136】また、上述実施の形態においては、光磁気ディスク11の固定パターン領域には2Tの固定パターン信号が記録されるものであったが、1Tあるいは3T以上の固定パターン信号が記録されるようにしてもよい。ただし、パターン間隔が短くなると、MTF（Modulation Transfer Function）によって再生信号SM0の振幅が小さく、S/Nが悪化したものとなる。逆に、パターン間隔が長くなると、位相比較のためのエッジ数を同じ数だけ得るためには、固定パターン領域を広くとる必

要があり、データが記録されるデータ領域が狭くなる。

【0137】また、上述実施の形態において、ADIPデコーダ60、60Aでは、アドレス情報ADMの“1”および“0”のデータにそれぞれ対応するウォブル信号SWBの周波数 f_a 、 f_b の公倍数の周波数 f_c ($=6f_a=8f_b$)を持つクロック信号CK24を使用した復調処理を行うようにしたものであるが、周波数 f_a 、 f_b のその他の公倍数の周波数を持つクロック信号を使用して同様の復調処理を行うことができる。

【0138】

【発明の効果】この発明によれば、デジタルデータ、例えばアドレス情報の“1”および“0”のデータにそれぞれ対応する周波数変調信号の周波数の公倍数の周波数を持つクロック信号に基づいた復調処理でデジタルデータを得るものであり、簡単な構成で周波数変調信号の復調処理を行うことができる。

【0139】また、復調処理において、2値信号のエッジが検出されてエッジ検出信号を得ると共に、デジタルデータの“1”および“0”に対応する2値信号のパターンに係る第1および第2のウィンドーパルスを生成し、エッジ検出信号の出力タイミングと第1および第2のそれぞれのウィンドーパルスの出力タイミングとの一致数に基づいてデジタルデータの“1”、“0”の判定を行うものであり、周波数変調信号に記録媒体のディフェクト等による変形があった場合にも正確にデジタルデータを復調できる。この場合、2値信号のエッジ情報をも加味することで、さらに正確な判定が可能となる。

【図面の簡単な説明】

【図1】実施の形態としての光磁気ディスク装置の構成を示すブロック図である。

【図2】光磁気ディスクのセクタのレイアウトを示す図である。

【図3】セクタ（ウォブルアドレスフレーム）フォーマットを説明するための図である。

【図4】バイフェーズ変調前の1セクタ（ウォブルアドレスフレーム）のアドレス情報を示す図である。

【図5】グループウォブルの構成例を示す図である。

【図6】光学ヘッドの光学系を示す図である。

【図7】光学ヘッドの光学系を構成するフォトディテクタの構成と、その上に形成されたスポットを示す図である。

【図8】光学ヘッドの光学系を構成するウォラストンプリズムの構成例を示す図である。

【図9】ウォラストンプリズムによる光線の分離状態を示す図である。

【図10】ADIPデコーダの構成を示すブロック図である。

【図11】ADIPデコーダの動作を説明するためのタ

イミングチャートである。

【図12】検波回路の構成を示すブロック図である。

【図13】エッジ検出回路の構成を示すブロック図である。

【図14】検波回路の動作を説明するための波形図である。

【図15】検波回路の動作を説明するための波形図である。

【図16】検波回路の動作を説明するための波形図である。

【図17】検波回路の動作を説明するための波形図である。

【図18】検波回路の動作を説明するための波形図である。

【図19】検波回路の他の構成を示すブロック図である。

【図20】立ち上がりエッジ検出回路の構成を示すブロック図である。

【図21】立ち下がりエッジ検出回路の構成を示すブロック図である。

【図22】検波回路の動作を説明するための波形図である。

【図23】ADIPデコーダの他の構成を示すブロック図である。

【図24】ADIPデコーダで使用するクロックを説明するためのタイミングチャートである。

【図25】データクロック再生器の構成を示すブロック図である。

【図26】データクロック再生器の動作を説明するためのタイミングチャートである。

【図27】従来のグループウォブルの構成例を示す図である。

【図28】従来の周波数復調回路の構成を示すブロック図である。

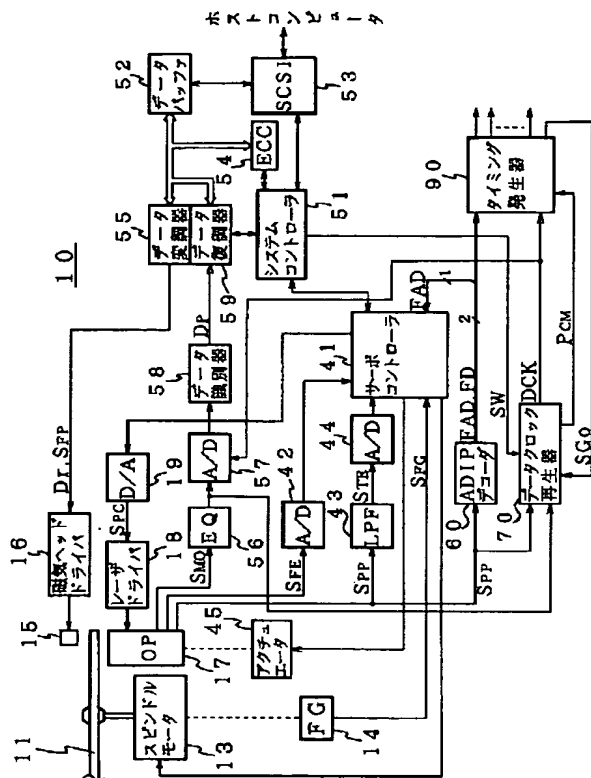
【図29】周波数復調回路の動作を説明するためのタイミングチャートである。

【符号の説明】

10・・・光磁気ディスク装置、11・・・光磁気ディスク、12G・・・グループ部、12L・・・ランド部、15・・・外部磁界発生用の磁気ヘッド、16・・・磁気ヘッドドライバ、17・・・光学ヘッド、18・・・レーザドライバ、41・・・サーボコントローラ、51・・・システムコントローラ、55・・・データ変調器、58・・・データ識別器、59・・・データ復調器、60、60A・・・ADIPデコーダ、64・・・PLL回路、67、67A・・・検波回路、68・・・アドレス変換器、69・・・分周器、70・・・データクロック再生器、90・・・タイミング発生器

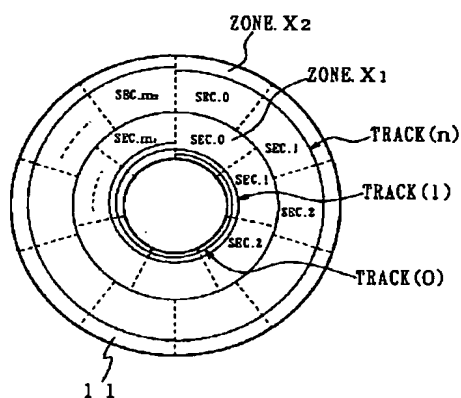
【图 1】

実施の形態（光磁気ディスク装置）



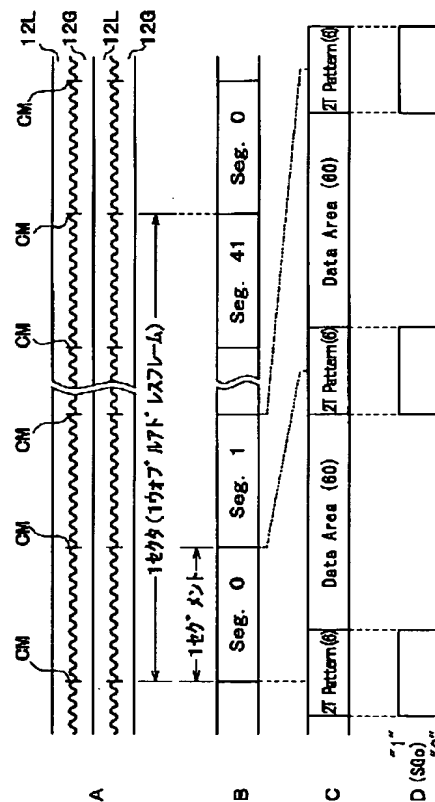
【図2】

光磁気ディスクのセクタのレイアウト



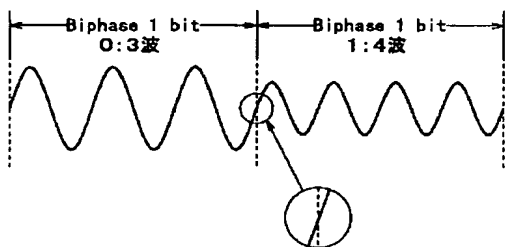
【图3】

セクタ (ウォブルアドレスフレーム) フォーマット



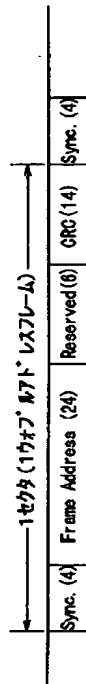
【図5】

グループウェアの構成例



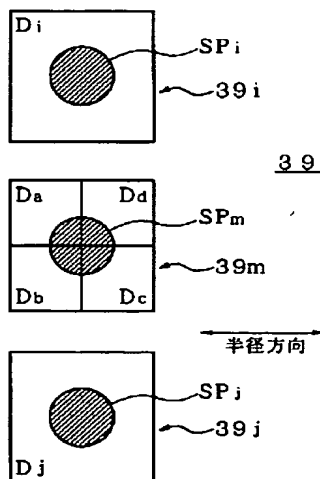
【図4】

バイフェーズ変調前のアドレス情報(データ)



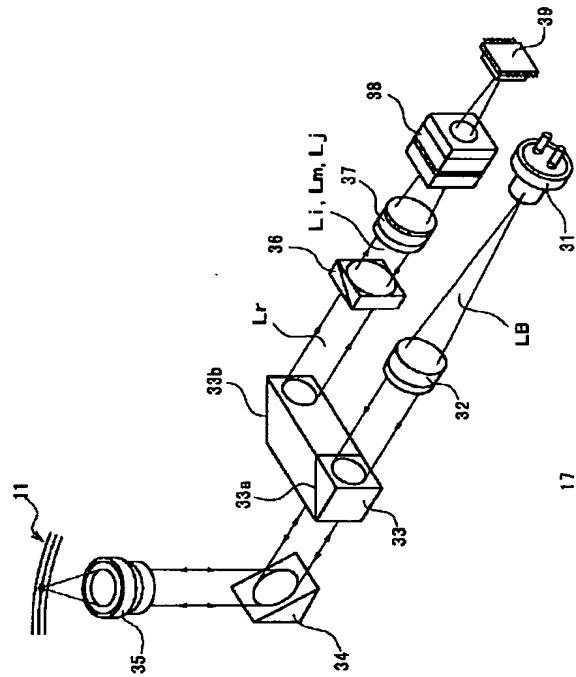
【図7】

フォトディテクタ上のスポット



【図6】

光学ヘッドの光学系

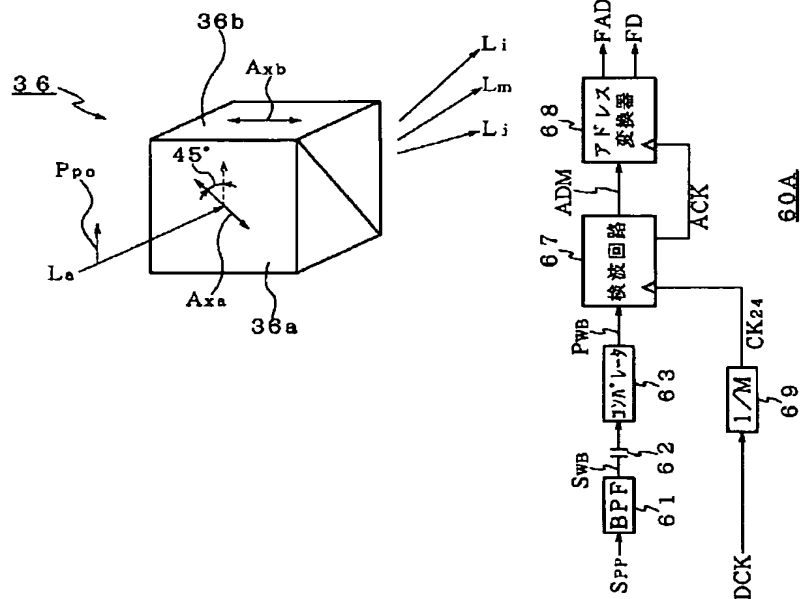


【図23】

【図8】

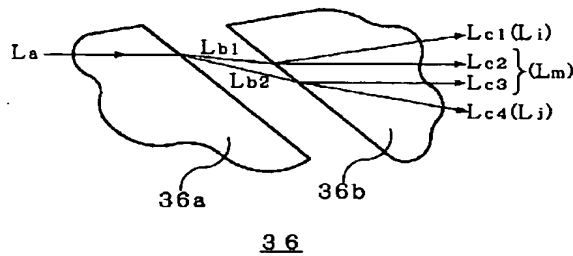
ADIPデコーダ

ウォラストンプリズムの構成例



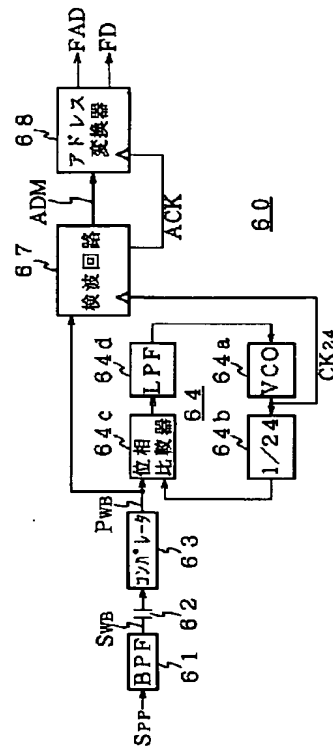
【図9】

ウォラストンプリズムによる光線の分離状態



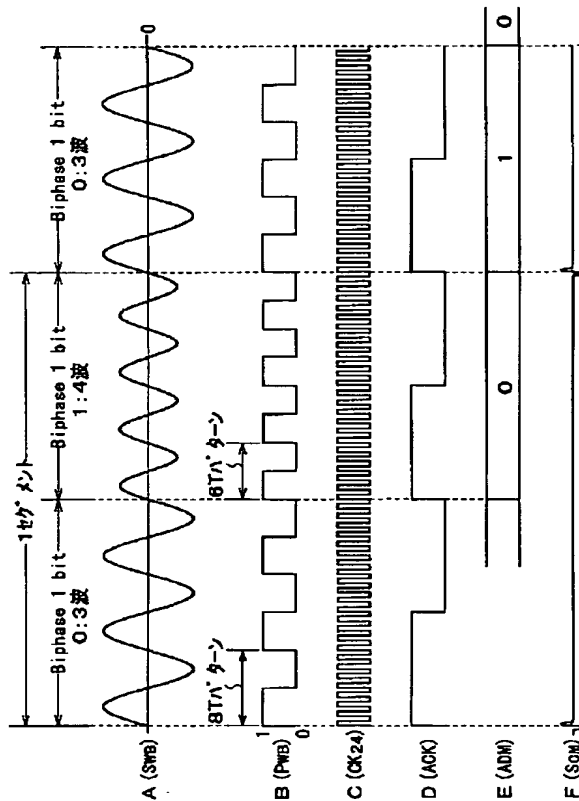
【図10】

ADIPデコーダ



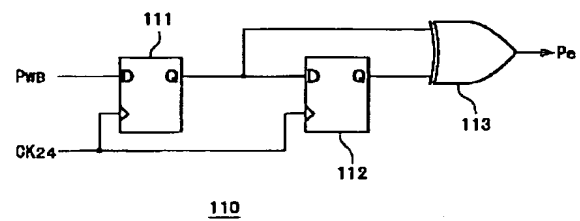
【図11】

ADIPデコーダの動作



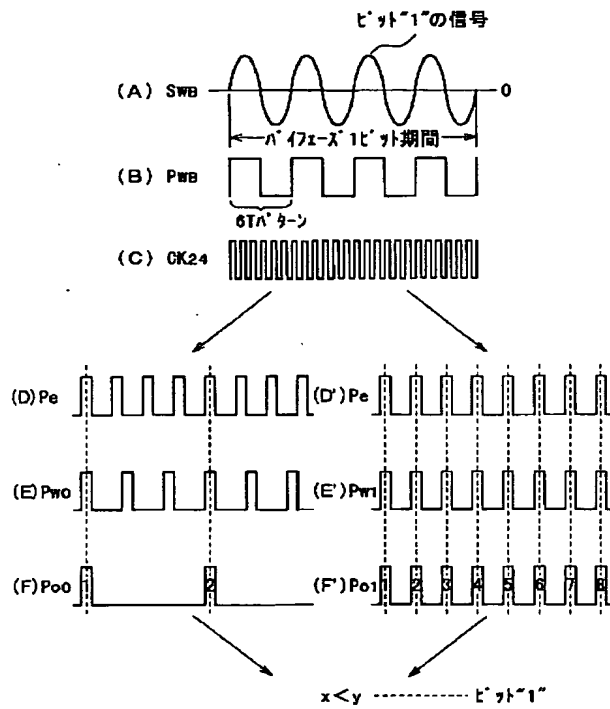
【図13】

エッジ検出回路



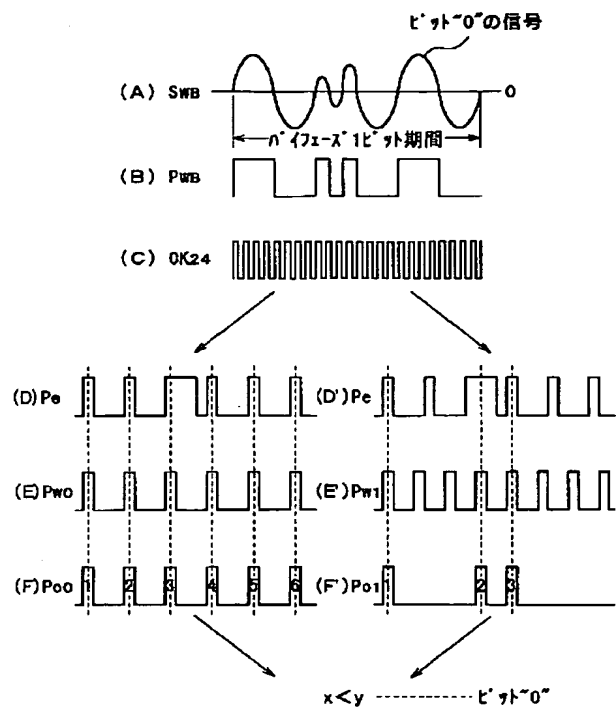
【図15】

検波回路の動作

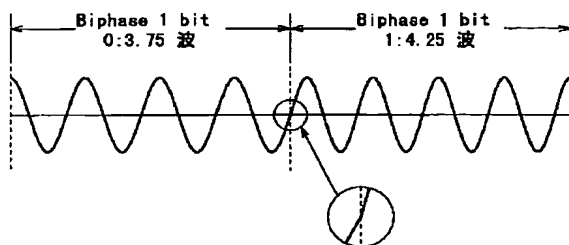


【図16】

検波回路の動作

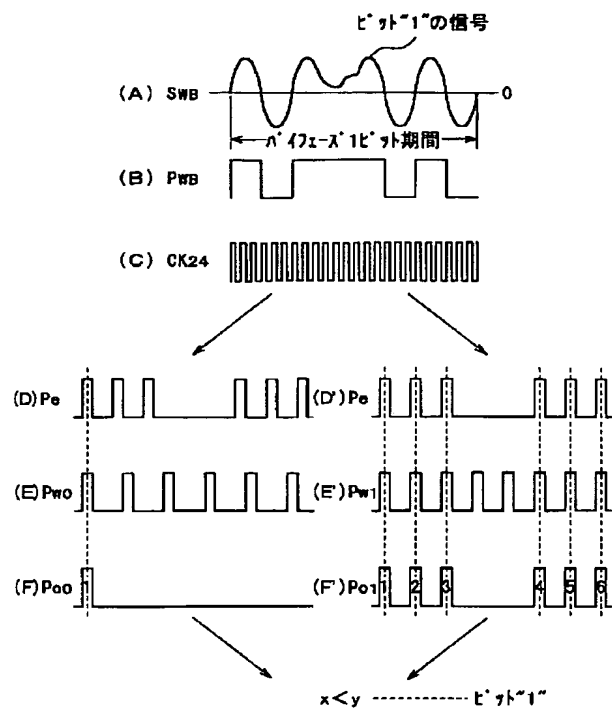


【図27】



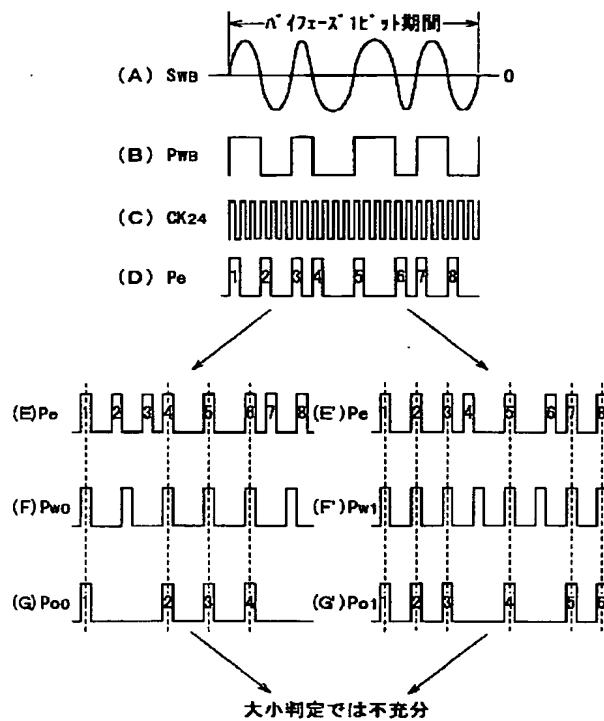
【図17】

検波回路の動作

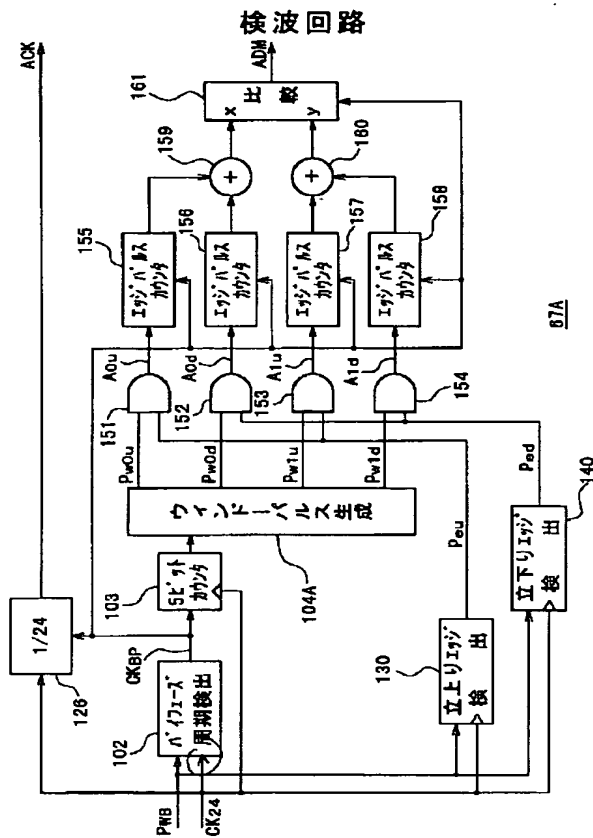


【図18】

検波回路の動作

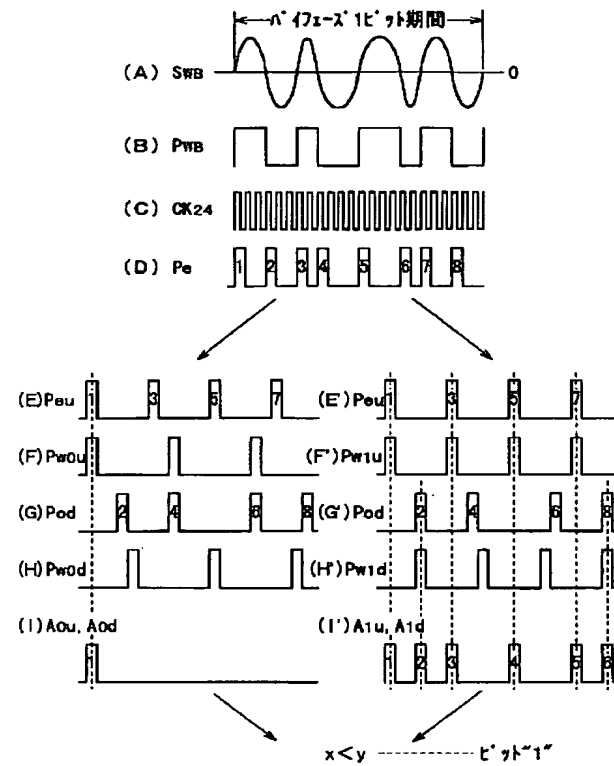


【図19】



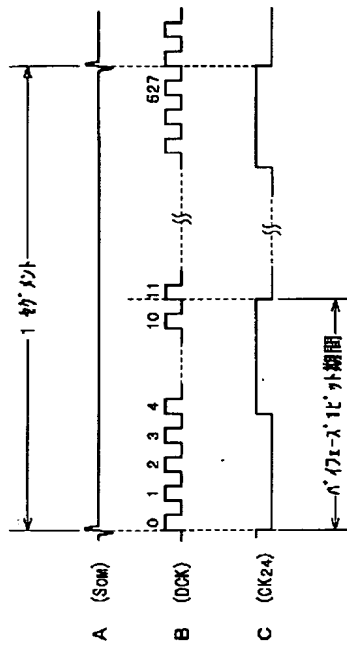
【図22】

検波回路の動作



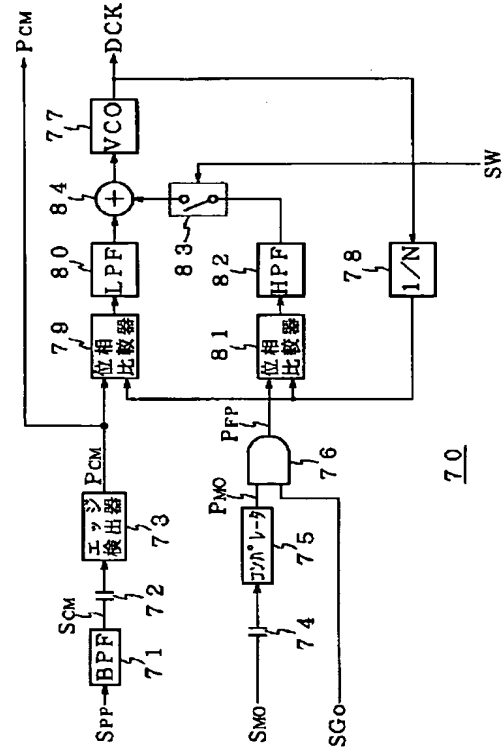
【図24】

ADIPデコーダで使用するクロック



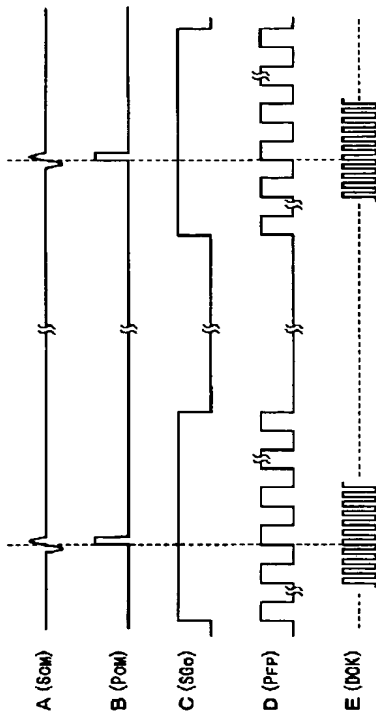
【図25】

データクロック再生器



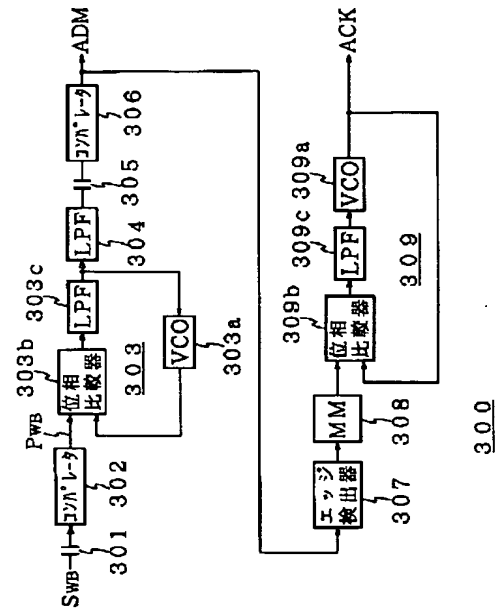
【図26】

データクロック再生器の動作



【図28】

周波数復調回路の構成



300

【図29】

周波数復調回路の動作

